

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-056014

(43)Date of publication of application : 24.02.1998

(51)Int.Cl.

H01L 21/3205

H01L 21/302

H01L 21/304

(21)Application number : 08-212620

(71)Applicant : SONY CORP

(22)Date of filing : 12.08.1996

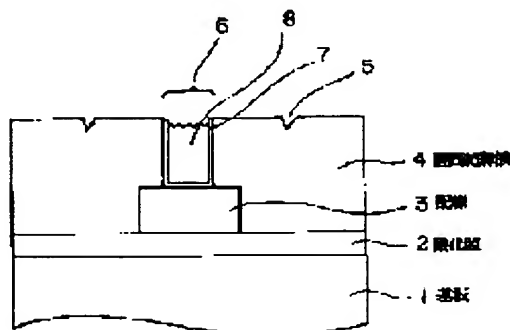
(72)Inventor : SHINOHARA KEIJI

(54) SUBSTRATE PROCESSING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To avoid short-circuiting even if a micro-scratch is formed in an interlayer isolation film, by performing the further plasma processing on the polished surface after the material to be polished formed on a substrate is polished by a chemical-mechanical polishing method.

SOLUTION: An oxide film 2 is formed on a semiconductor substrate 1, and a first wiring 3 is formed at the upper part. Then, an interlayer insulating film 4 is arranged at the upper part of the wiring 3. The interlayer insulating film 4 is polished and flattened by a chemical-mechanical polishing method. Then, the opening of a contact hole 6 for providing the connecting region to the wiring 3 is performed. Thereafter, a tungsten film 8 is formed by a CVD method. Then, the tungsten film 8 and a tin film 7 are polished, and the tungsten film 8 and the tin film 7 are made to remain only in the inside of the contact hole 6. Finally, plasma etching is performed on the entire surface of the substrate 1.



LEGAL STATUS

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-56014

(43) 公開日 平成10年(1998) 2月24日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/3205			H 0 1 L 21/88	K
21/302			21/304	3 2 1 A
21/304	3 2 1		21/302	Z

審査請求 未請求 請求項の数 6 O L (全 5 頁)

(21) 出願番号 特願平8-212620

(22) 出願日 平成8年(1996) 8月12日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 篠原 啓二

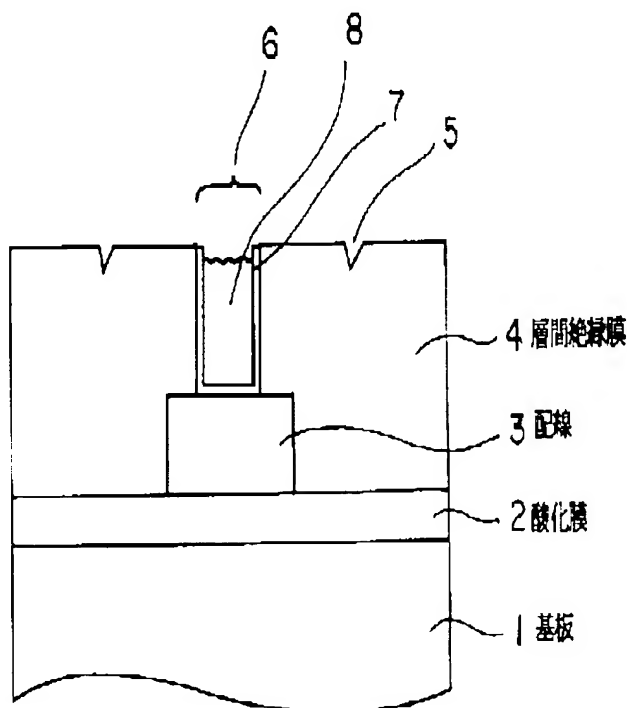
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(54) 【発明の名称】 基板処理方法

(57) 【要約】

【課題】 化学的機械研磨法に由来するマイクロクラッチが層間絶縁膜に形成されても、配線ショートをもたらすことのない基板処理方法を提供すること。

【解決手段】 半導体基板1上に形成された、TiN膜7およびタングステン膜8を有する被研磨材料を、化学的機械研磨法により研磨した後、その研磨された表面にさらにハロゲン系混合ガスを用いたプラズマ処理を施すことを特徴とする基板処理方法。



【特許請求の範囲】

【請求項1】 基板上に形成された被研磨材料を、化学的機械研磨法により研磨した後、その研磨された表面にさらにプラズマ処理を施す、ことを特徴とする基板処理方法

【請求項2】 プラズマ処理により被研磨材料がエッチングされる請求項1に記載の基板処理方法

【請求項3】 プラズマ処理が、ハロゲン系混合ガス、希ガス化合物、酸素、窒素またはフルオロカーボンガスを用いて行われる請求項1または2に記載の基板処理方法

【請求項4】 基板が半導体基板であり、且つ被研磨材料が少なくともシリコン、Si₃N₄を含有する請求項1ないし3のいずれか1項に記載の基板処理方法

【請求項5】 被研磨材料がアルミニウム、タンタル、チタン系材料、銅、金および白金からなる群から選択された少なくとも1種である請求項1ないし4のいずれか1項に記載の基板処理方法

【請求項6】 プラズマ処理に用いられるガスと被研磨材料とが揮発生成物を形成しない請求項1ないし5のいずれか1項に記載の基板処理方法

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、基板処理方法に関するものであり、さらに詳しくは本発明は、化学的機械研磨法に由来するマイクロスクラッチが層間絶縁膜に形成されても、配線ショートをもたらすことのない基板処理方法に関するものである。

【0002】

【従来の技術】 昨今、デバイスの高密度化に伴って配線技術は、ますます微細化且つ多層化の方向に進んでいる。しかしながら、一方でこのような高集積化は、デバイスの信頼性を低下させる要因になる場合がある。すなわち、配線の微細化且つ多層化の進展によって、層間絶縁膜の段差は大きく且つ急峻となり、その上に形成される配線の加工精度が悪化し、信頼性を低下させるためである。

【0003】 現在、例えばアルミニウム配線の段差被覆性の大幅な改善は期待できないことから、層間絶縁膜の平坦性を向上させる必要がある。これは、リソグラフィの精度向上に伴う焦点深さの低下の点からも重要になる。これまで、種々の層間絶縁膜の形成技術および平坦化技術が開発されてきたが、このような従来の技術を微細化且つ多層化した配線層に適用した場合、配線間隔が広い場合の平坦化の不足や配線間における層間絶縁膜での「す」の発生による接続不良等が重要な問題になってきている。

【0004】 そこで、この問題を改善する手段として、最近、シリコンウエハーのミラーポリッシュを応用した化学的機械研磨法と呼ばれる方法が提案されている。こ

の方法は、確実に平坦化がなされる方法として有望視されている。この方法を簡単に述べると以下のようになる。

【0005】 ウエハーをセットしたキャリアを、ウエハーがプラテンと呼ばれる研磨プレートに対向するようにセットし、研磨剤を含むスラリーを、スラリー供給口から研磨プレート上のパッドと呼ばれる研磨布上に供給し、研磨プレート回転軸の回転数、キャリアのキャリア回転軸の回転数および研磨圧力を調整して研磨を行うものである。このとき、層間絶縁膜をエッチングする意味でKOHなどを添加し、塩基性雰囲気で行う。

【0006】 このように化学的機械研磨法は、巧米的には有望な技術であるが、該方法は前述のように研磨剤を含むスラリーを用いて、化学的な作用を加味しながら機械的研磨を行うため、種々の問題を含んでいる。

【0007】 その一つとして、マイクロスクラッチの形成が挙げられる。化学的機械研磨法は、化学的な作用に加え、機械的に削り取る作用もあり、研磨中のダスト等で非常に小さな溝が基板表面に形成されるとともに、非常に微細な凹凸、およびクラックが発生することもある。これがマイクロスクラッチと呼ばれる。

【0008】 一般的にULSIプロセスにおいては、層間絶縁膜を化学的研磨法により平坦化し、そこにコンタクトホールを設け、その内部に金属等の導電物質を埋め込み、続いてコンタクトホール内に金属が残るようにさらに平坦化していくが、マイクロスクラッチが発生すると、その内部にも金属が残留することになり、配線ショートの問題が生じ、あるいはショートに至らないまでも配線間での耐圧が不足し、信頼性に悪影響を及ぼす。すなわち、品質そのものを低下させる原因となる。

【0009】 図面を参照してさらに説明する。図2ないし図5は、マイクロスクラッチの内部に金属等の導電物質が残留する過程を説明するための図である。図2において、まず半導体基板1上に酸化膜2が形成される。その酸化膜2上部に第1の配線3が形成される。例えば配線3は、Al-Cu(0.5%)を主とする配線をTiNでサンドイッチした構造のものが挙げられる。また配線3は、スパッタリング法にて配線材料の層を形成し、レジストパターニングを行い、続いて例えば塩素系ガスを用いて異方性加工を行うことにより形成可能である。次に、層間絶縁膜4を配線3の上部に厚く形成し、化学的機械研磨法により層間絶縁膜4を研磨し平坦化を行う。

【0010】 この研磨の際、図3に示すように細い溝の形状のマイクロスクラッチ5が形成される場合がある。マイクロスクラッチ5は、研磨中のダストや、スラリーに含まれるゴミにより機械的に引っ掻かれて発生する。

【0011】 続いて、図4に示すように、配線3への接続領域を設けるためのコンタクトホール6の開口を行う。開口方法としては、開口を行う領域にレジストパタ

ーエッチングを行い、その後、例えばフッ素ガス系にて異方性加工を行う方法が挙げられる。次に、例えばタングステン膜8がCVD方法により形成される。なお、層間絶縁膜4とタングステン膜8との密着性を改善するために、TiN膜7をあらかじめスパッタリング法にて形成しておいてもよい。

【0012】その後、図5に示すように、引き続き化学的機械研磨法により、タングステン膜およびTiN膜7を研磨し、コンタクトホール6内部にのみタングステン膜8およびTiN膜7が残った形となる。

【0013】しかしながら、上記のように形成されたマイクロスクラッチは、配線ショートを起こす可能性がある。図6は、図5の概略平面図である。仮にマイクロスクラッチ5が第2の配線層9a、9bの間隙に比べ十分小さい場合は、配線ショートの原因にはならないが、上記間隔よりも長い場合、第2の配線層9a、9bを形成する際、第2の配線9aと9bとをつなぐ形となり、配線ショートを招く。

【0014】このようなマイクロスクラッチ内の金属を除去するため、研磨条件を変更する等の手段はあるものの、コンタクトホール内の金属も研磨される方法であり、また、アスペクト比の高いマイクロスクラッチの場合はもはや研磨では金属が除去できないという本質的な問題がある。

【0015】

【発明が解決しようとする課題】本発明は、前述した従来の課題に鑑みてなされたもので、化学的機械研磨法に由来するマイクロスクラッチが層間絶縁膜に形成されても、配線ショートをもたらすことのない基板処理方法を提供することを目的とするものである。

【0016】

【課題を解決するための手段】本発明者は、上述の課題を解決すべく鋭意研究を重ねた結果、本発明を達成することになった。すなわち本発明は、基板上に形成された被研磨材料を、化学的機械研磨法により研磨した後、その研磨された表面にさらにプラズマ処理を施すことを特徴とする基板処理方法を提供するものである。

【0017】

【作用】本発明においては基板に化学的機械研磨法を適用した後、プラズマ処理を行うことを特徴としている。マイクロスクラッチ内に残留している金属は、プラズマ処理方法により除去することができ、多層配線の形成の際に配線同士のショートが発生しないという作用がある。

【0018】

【実施例】以下、本発明を実施例により説明する。図1は、本発明の方法を適用した後、半導体装置を示す概略断面図である。厚さ720 μm の半導体基板1、基板材料＝Si。上に、厚さ0.5 μm の酸化膜2を形成した。その酸化膜2上部に第1の配線3を形成した。本実

施例の配線3は、Al-Cu(0.5%)を主とする配線をTiNでサンドイッチした構造のものを採用した。配線3は、スパッタリング法にて配線材料の層を形成し、レジストパターンニングを行い、続いて塩素系ガスをを用いて異方性加工を行うことにより形成した。次に、厚さ1.5 μm の層間絶縁膜4(材料＝SiC₂)を配線3の上部に形成し、化学的機械研磨法により層間絶縁膜4を約0.6 μm ほど研磨し平坦化を行った。続いて、配線3への接続領域を設けるためのコンタクトホール6の開口を行った。開口方法としては、開口を行う領域にレジストパターンニングを行い、その後、フッ素ガス系にて異方性加工を行う方法を採用した。次に、厚さ0.6 μm のタングステン膜8をCVD方法により形成した。なお、層間絶縁膜4とタングステン膜8との密着性を改善するために、厚さ0.05 μm のTiN膜7をあらかじめスパッタリング法にて形成しておいた。その後、引き続き化学的機械研磨法により、タングステン膜8およびTiN膜7を研磨し、コンタクトホール6内部にのみタングステン膜8およびTiN膜7を残した。このとき、マイクロスクラッチ5の形成が認められた。

【0019】次に、以下の処理条件により、基板表面全体をプラズマエッチングした。

【0020】SF₆、C₁₂、N₂＝5：20：100
sccm、80mTorr、RF Power＝550W

【0021】このとき、タングステン膜8とTiN膜7のエッチングレートは約50nm/分であり、この処理条件にて約1分間エッチングした。エッチングを行うことで、マイクロスクラッチ内に残留していたタングステン膜とTiN膜はエッチング除去することが可能であった。したがって、上部に第2の配線を形成しても配線ショートが発生を防止できた。

【0022】なお、上記実施例においては、プラズマ処理でタングステン膜とTiN膜をエッチングする際、SF₆、C₁₂を主とするハロゲン系混合ガスを用いたが、その他の希ガス化合物、酸素、窒素や、CHF₃、CF₄等のフルオロカーボンを含有させてもよく、この場合は層間絶縁膜もエッチングされ、プロセス条件設定を最適化することで酸化膜、タングステン膜およびTiN膜のエッチングレートを概略等しくすることが可能となり、マイクロスクラッチの増大を防止できる。また、プラズマエッチング条件は、各層の材料の種類等を勘案して適宜決定することができ、なお、プラズマ処理に使用されるガスと被研磨材料とが反応して揮発生成物を形成しないことが望ましい。

【0023】ところで、上記実施例では本発明の好適な態様として、シリコン(Si)を含む基板材料を使用した。本発明はこれに限定されず、様々な基板を適用することができる。また、装置として使用される材料としてもとくに制限されるものではなく、例えば各材料に

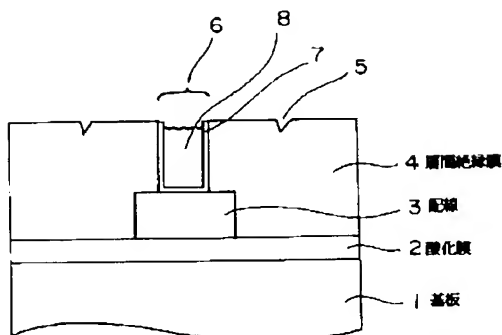
は、アルミニウム、タングステン、チタン系材料、銅、金、白金等の金属を含むことができ、これらは本発明に望ましいものである。

【0024】

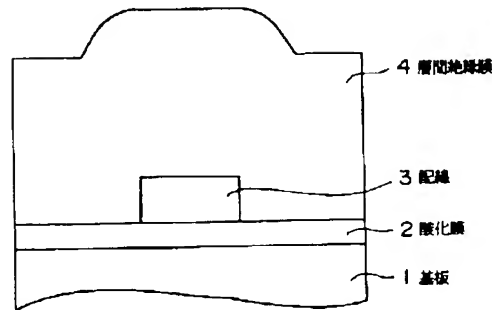
【発明の効果】本発明によれば、次に示されるような効果が少なからずとも発現する。

1. 化学的機械研磨法で発生するマイクロクラッチ内に残留する金属を除去することが可能となり、上部配線のショートに起因する不良発生が防止可能となる。
2. プラズマ処理する処理条件の最適化を行うことで、マイクロクラッチ内の金属を除去すると同時にマイクロクラッチの平滑化が可能となり、さらにプラグロス増大を防止できる。
3. マイクロクラッチ内の金属は再現性よく除去可能となり、配線ショートの防止ができ、半導体装置の歩留まりを向上させるとともに、品質を向上させることができる。

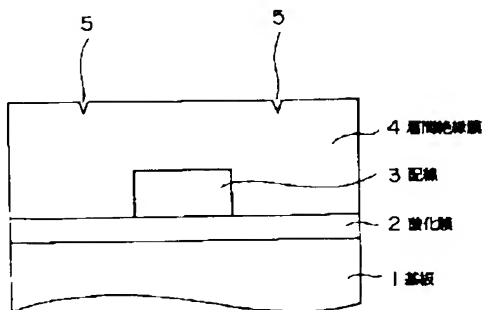
【図1】



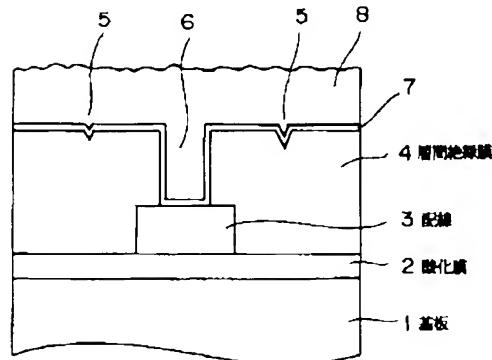
【図2】



【図3】



【図4】



【図面の簡単な説明】

【図1】本発明の方法を適用した後の半導体装置を示す概略断面図である。

【図2】マイクロクラッチの内部に金属等の導電物質が残留する過程を説明するための図である。

【図3】マイクロクラッチの内部に金属等の導電物質が残留する過程を説明するための図である。

【図4】マイクロクラッチの内部に金属等の導電物質が残留する過程を説明するための図である。

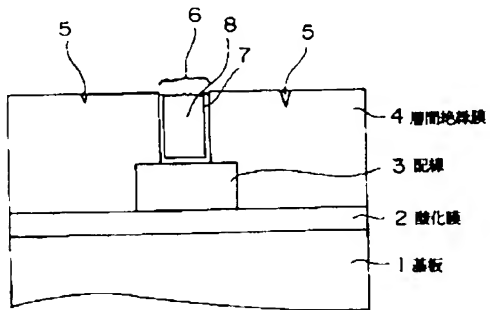
【図5】マイクロクラッチの内部に金属等の導電物質が残留する過程を説明するための図である。

【図6】図5の概略平面図である。

【符号の説明】

- 1 ……基板、2 ……酸化膜、3 ……配線、4 ……層間絶縁膜、5 ……マイクロクラッチ、6 ……コンタクトホール、7 ……TiN膜、8 ……タングステン膜、9 a、9 b ……第2の配線層。

【図5】



【図6】

